

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-282722
(P2003-282722A)

(43) 公開日 平成15年10月3日 (2003.10.3)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|------|----------------|-------------------------|
| H 0 1 L 21/822 | | H 0 1 L 21/316 | X 5 F 0 3 8 |
| 21/316 | | 27/04 | C 5 F 0 5 8 |
| 27/04 | | | |

審査請求 有 請求項の数18 O L (全 11 頁)

(21) 出願番号 特願2002-86553 (P2002-86553)

(22) 出願日 平成14年3月26日 (2002.3.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 足立 研

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 堀内 悟志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100122884

弁理士 角田 芳末 (外2名)

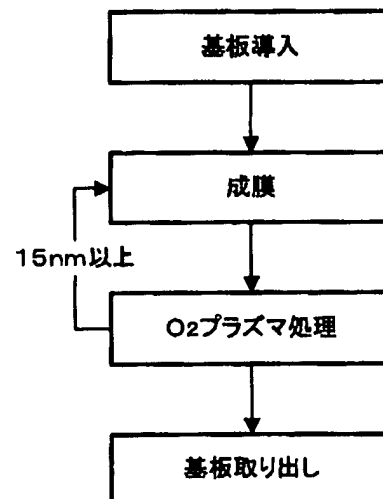
最終頁に続く

(54) 【発明の名称】 アモルファス金属酸化膜を有する容量素子および半導体装置の各製造方法

(57) 【要約】

【課題】 アモルファス金属酸化膜を有する容量素子および半導体装置の製造にあつて、低温処理をもって膜質にすぐれたアモルファス金属酸化膜を成膜し、信頼性の高い容量素子および半導体装置を製造する。

【解決手段】 アモルファス金属酸化膜例えばアモルファス酸化タンタル膜の成膜工程と、その後に、イオンおよびラディカル反応による少なくとも酸素を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理によってアモルファス状態を維持した状態でこのアモルファス酸化タンタル薄膜の膜質改善処理を行う膜質改善処理工程とを行うことによって全工程における低温処理が可能になり、しかも膜質にすぐれたアモルファス金属酸化膜の成膜を行うことができ、信頼性の向上、コストの低廉化を図ることができるものである。



【特許請求の範囲】

【請求項1】 アモルファス金属酸化膜を容量絶縁膜とするアモルファス金属酸化膜を有する容量素子の製造方法であって、

上記アモルファス金属酸化膜の成膜工程と、

その後、イオンおよびラディカル反応による少なくとも酸素を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理によってアモルファス状態を維持した状態で上記アモルファス金属酸化膜の膜質改善処理を行う膜質改善処理工程とを有することを特徴とするアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項2】 上記高密度プラズマ照射処理がヘリコン波プラズマ照射処理であることを特徴とする請求項1に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項3】 上記アモルファス金属酸化膜の成膜工程が、上記高密度プラズマソースを用い、ラディカル反応を主体とした成膜工程であり、該成膜工程のプラズマ電力が 40 W 以上 200 W 以下とされたことを特徴とする請求項1または2に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項4】 上記膜質改善処理工程のプラズマ電力が 500 W 以上 2000 W 以下であることを特徴とする請求項1、2または3に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項5】 上記成膜工程と、上記膜質改善処理工程とが同一反応容器内で行われることを特徴とする請求項1、2、3または4に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項6】 上記成膜工程を 15 nm 未満の厚さで複数回行い、各成膜工程後にそれぞれ膜質改善処理工程を行うことを特徴とする請求項1、2、3、4または5に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項7】 上記アモルファス金属酸化膜の目的とする膜厚が 15 nm 以上である場合にあって、上記成膜工程を 15 nm 未満の厚さで複数回行い、各成膜工程後にそれぞれ膜質改善処理工程を行い、上記アモルファス金属酸化膜の総厚が上記 15 nm 以上の目的とする厚さとなるようにすることを特徴とする請求項1、2、3、4、5または6に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項8】 上記アモルファス金属酸化膜が、アモルファス酸化タンタル薄膜であることを特徴とする請求項1、2、3、4、5、6または7に記載のアモルファス金属酸化膜を有する容量素子の製造方法。

【請求項9】 上記アモルファス金属酸化膜の成膜工程および膜質改善処理工程のすべてを 430°C 以下の温度で行うことを特徴とする請求項1、2、3、4、5、6、7または8に記載のアモルファス金属酸化膜を有す

る容量素子の製造方法。

【請求項10】 アモルファス金属酸化膜を有する半導体装置の製造方法にあって、

上記アモルファス金属酸化膜の成膜工程と、

その後、イオンおよびラディカル反応による少なくとも酸素を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理によってアモルファス状態を維持した状態で上記アモルファス金属酸化膜の膜質改善処理を行う膜質改善処理工程とを有することを特徴とするアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項11】 上記高密度プラズマ照射処理がヘリコン波プラズマ照射処理であることを特徴とする請求項10に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項12】 上記アモルファス金属酸化膜の成膜工程が、上記高密度プラズマソースを用い、ラディカル反応を主体とした成膜工程であり、該成膜工程のプラズマ電力が 40 W 以上 200 W 以下とされたことを特徴とする請求項10または11に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項13】 上記膜質改善処理工程のプラズマ電力が 500 W 以上 2000 W 以下であることを特徴とする請求項10、11または12に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項14】 上記成膜工程と、上記膜質改善処理工程とが同一反応容器内で行われることを特徴とする請求項10、11、12または13に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項15】 上記成膜工程を 15 nm 未満の厚さで複数回行い、各成膜工程後にそれぞれ膜質改善処理工程を行うことを特徴とする請求項10、11、12、13または14に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項16】 上記アモルファス金属酸化膜の目的とする膜厚が 15 nm 以上である場合にあって、

上記成膜工程を 15 nm 未満の厚さで複数回行い、各成膜工程後にそれぞれ膜質改善処理工程を行い、上記アモルファス金属酸化膜の総厚が上記 15 nm 以上の目的とする厚さとなるようにすることを特徴とする請求項10、11、12、13、14または15に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項17】 アモルファス金属酸化膜を具備する半導体装置の製造方法にあって、上記アモルファス金属酸化膜が、アモルファス酸化タンタル薄膜であることを特徴とする請求項10、11、12、13、14、15または16に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【請求項18】 上記アモルファス金属酸化膜の成膜工

10

20

30

40

50

程および膜質改善処理工程のすべてを430℃以下の温度で行うことを特徴とする請求項10、11、12、13、14、15、16または17に記載のアモルファス金属酸化膜を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アモルファス金属酸化膜を有する容量素子および半導体装置の各製造方法、例えばアモルファス酸化タンタル薄膜によるアモルファス金属酸化膜を誘電絶縁膜とする静電容量素子、例えばアモルファス酸化タンタル薄膜を具備する半導体装置のそれぞれの製造方法に係わる。

【0002】

【従来の技術】半導体装置、例えば半導体集積回路装置において、静電容量素子の容量絶縁膜としては、窒化シリコン膜(Si_3N_4)が一般に用いられているが、微細化、高集積化、高速化の要求から、より高比誘電率を有する材料、例えば、 Al_2O_3 、酸化タンタル、 BaSrTiO_3 、 SrTaO_3 、 PbTiO_3 - PbZrO_3 に関する成膜の研究開発が盛んになされている。中でも酸化タンタル膜は注目されているところである。

【0003】例えばMIS (Metal-Insulator-Semiconductor) 構造の容量素子形成においてはその容量絶縁層の例えば酸化タンタル膜の成膜として、現在、多く試みられている成膜方法は、図11にそのフロー図を示すように、減圧CVD法 (化学的気相成長法) 装置に基板例えば半導体ウエーハを導入し、酸化タンタル膜の成膜を行う。この成膜の多くは、ペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) を原材料とし、これを気化させ酸素と減圧下で450℃程度の熱エネルギーによって反応させることによる成膜方法による。

【0004】しかし、この成膜方法による場合、成膜中にペンタエトキシタンタルに由来するカーボン (C) や水酸基 (OH) が多量に成膜中に残留し、また、十分なTa-O結合ができない酸素不足な膜が成膜される。この結果、この成膜のみでは十分な電気的特性、特にリーク電流特性、耐圧特性、比誘電率などが得られない。

【0005】そこで、膜質改善処理が必要となる。この膜質改善処理は、上述した減圧CVD装置から膜質改善処理装置、例えば400℃～500℃程度でオゾン雰囲気中の紫外線照射アニール処理 (いわゆるUV-O₃処理) 装置に搬送されてここでアニール処理がなされる。この処理装置からウエーハの取出しがなされ、更に600℃以上の酸素雰囲気内でアニール処理がなされる。

【0006】上述した成膜は、一般的なマルチチャンバーCVD装置で成膜される。このCVD装置は、例えば図12に概略構成を示すように、成膜がなされる基板例えばウエーハの搬送室100に対して、最大4つのチャンバー101a～101dが設置され、基板のカセットのロードロックから、基板が、搬送ロボット103によ

って、各チャンバーに対する搬入、搬出がなされる。そして、この装置において、2つチャンバーを成膜チャンバー、他の2つのチャンバーを酸化後処理としてのUV-O₃チャンバーとして構成し、いずれかの成膜チャンバーで酸化タンタル膜を成膜した後、いずれかのUV-O₃チャンバーで後処理を行う。その後に600℃以上の少なくとも酸素を含む酸化雰囲気下でアニールを行うことで膜質改善を行う。

【0007】しかし、最近では半導体装置における動作のより高速化が要求され、電極、配線層等における金属層化がなされる方向にあり、これに伴って、その製造過程において、熱処理プロセスの低温化が望まれている。例えば半導体集積回路における回路素子としての容量素子においても、上述した金属層化によるいわゆるMIM (Metal-Insulator-Metal) 構造の導入の要求が高まっている。

【0008】

【発明が解決しようとする課題】上述した状況下において、MIM構造の容量素子等を形成する場合、その誘電絶縁層として酸化タンタル層等の金属酸化膜の形成を、上述した高温処理を伴う成膜方法では、容量素子、ひいては半導体装置の特性および信頼性に問題が生じる。すなわち、上述したような高温処理を伴う金属酸化膜を形成する段階において、既に金属層が存在する場合、すなわち例えばMIM構造における下層の電極金属層が存在する構造による場合、この金属層としては、耐熱性に富み、かつ低抵抗率を有する高融点金属の例えばPt、Ru等の高価な金属によって構成することが必要となる。しかしながら、これら金属は、微細パターン化等加工性に問題があり、製造工程、製造設備等が煩雑となり、コスト高を来す。

【0009】これに対し、上述した高温による後処理の代替技術として、図13にそのフローを示すように、成膜後に、O₂プラズマ酸化処理を行う方法の検討もなされている。しかしながら、この場合の一般的な平行平板型のプラズマ処理装置でのプラズマ酸化処理では、十分な膜特性が得られていない。また、この場合、成膜用のCVD装置と、高密度プラズマ装置の両方を用意する必要があり、たとえこれらを一台化したとしても高コスト化は必至となる。

【0010】本発明者らは、低温処理をもって膜質にすぐれた、誘電絶縁膜として成膜することができるアモルファス酸化タンタル膜、すなわちアモルファス金属酸化膜を形成し容量素子、および半導体装置を低コストをもって製造することができる製造方法を見出し、これら製造を提供するものである。

【0011】

【課題を解決するための手段】本発明による容量素子の製造方法においては、アモルファス金属酸化膜を容量絶縁膜とする容量素子の製造方法であって、アモルファス

10

20

30

40

50

金属酸化膜例えばアモルファス酸化タンタル膜の成膜工程と、その後に、イオンおよびラディカル反応による少なくとも酸素を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理によってアモルファス状態を維持した状態でアモルファス酸化タンタル薄膜の膜質改善処理を行う膜質改善処理工程とを行う。

【0012】また、本発明によるアモルファス金属酸化膜を具備する半導体装置の製造方法にあって、アモルファス金属酸化膜例えばアモルファス酸化タンタル膜の成膜工程と、その後に、イオンおよびラディカル反応による少なくとも酸素を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理によってアモルファス状態を維持した状態でアモルファス酸化タンタル薄膜の膜質改善処理を行う膜質改善処理工程とを行う。

【0013】上述した本発明による容量素子および半導体装置の製造においては、そのアモルファス金属酸化膜を形成をはじめとしてすべての処理を、低温下、具体的には 430°C 以下で行うことができるものであり、これによって例えば下層電極、配線等における導電層として加工性にすぐれ、低抵抗率の低融点金属層の使用が可能となる。

【0014】本発明による各製造方法において、その成膜工程と膜質改善処理とを同一反応容器で行うことが可能となるものであり、これによって、装置の簡略化、作業性の向上を図ることができる。

【0015】

【発明の実施の形態】本発明によるアモルファス金属酸化膜を有する容量素子および半導体装置の製造方法は、そのアモルファス金属酸化膜例えばアモルファス酸化タンタル膜の製造工程にあって、図1にそのフロー図を示すように、このアモルファス酸化タンタル膜の成膜を行う基板例えばシリコン半導体ウェーハを、このアモルファス酸化タンタルの成膜装置内に導入してウェーハ上にアモルファス酸化タンタルの成膜を行う。その後、イオンおよびラディカル反応による少なくとも酸素原子を含む、イオン電流密度で 5 mA/cm^2 以上の高密度プラズマ照射処理、例えばヘリコン波プラズマ照射処理によってアモルファス状態を維持した状態で酸素プラズマ処理を行ってアモルファス酸化タンタル薄膜の膜質改善処理を行う。

【0016】アモルファス金属酸化膜、例えばアモルファス酸化タンタルの成膜工程は、上述の高密度プラズマソースを用いたラディカル反応を主体とした成膜工程とすることができ、この成膜工程のプラズマ電力は 40 W 以上 200 W 以下とする。また、その膜質改善処理工程のプラズマ電力は、 500 W 以上 2000 W 以下とする。

【0017】また、アモルファス金属酸化膜の目的とする膜厚が例えば 15 nm 以上である場合にあって、図1に示すように、成膜工程とその後の膜質改善処理工程と

を、繰り返し、それぞれの成膜を 15 nm 未満の厚さで行い、アモルファス金属酸化膜の総厚が例えば 15 nm 以上の目的とする厚さとなるようにする。

【0018】上述したアモルファス金属酸化膜の、成膜工程と、膜質改善処理工程とは、図2にそのフロー図で模式的に示すように、同一反応容器内で行うことができる。また、上述したアモルファス金属酸化膜の成膜工程および膜質改善処理工程は、すべて 430°C 以下の温度で行う。

10 【0019】また、本発明による容量素子の製造方法は、誘電体絶縁層を、アモルファス金属酸化膜によって構成する容量素子の製造方法であって、その誘電体絶縁層を上述した本発明によるアモルファス金属酸化膜の製造方法によって形成する。

【0020】更に、本発明による半導体装置の製造方法は、アモルファス金属酸化膜を具備する半導体装置の製造方法にあって、そのアモルファス金属酸化膜を上述した本発明によるアモルファス金属酸化膜の製造方法によって形成する。

20 【0021】まず、本発明製造方法の実施に用いる高密度プラズマソースを用いたプラズマ処理装置としてのヘリコン波プラズマ処理装置1を、図3の概略構成図を参照して説明する。この装置1は、ヘリコン波プラズマ発生源2と、そのプラズマ生成がなされる石英から成るベルジャー3に連通する反応容器4を有して成る。反応容器4内には、半導体ウェーハ等の被成膜基板5が載置されてこの基板5を所要の温度に加熱するヒータが設けられたサセプタ6が配置される。反応容器4には、プロセスガスを導入するガス導入口7が設けられ、排気口8から、排気ポンプ（図示せず）によって排気され、反応容器4内が、圧力調整器（図示せず）によって所望の真空度に調整されるようになされる。

【0022】プラズマ発生源2は、ベルジャー3の外周にヘリコンアンテナ9が配置され、このヘリコンアンテナ9に、高周波（RF）発信器10から 13.56 MHz のRFパワーが、インピーダンス整合手段11を介して印加される。

40 【0023】また、ベルジャー3の近傍に内側コイル12Aと外側コイル12Bとが巻回される。これらコイル12Aおよび12Bには、互いに向きが異なる直流（DC）がそれぞれDC電源13Aおよび13Bから電流制御手段14Aおよび14Bを通じて供給され、それぞれ磁場を形成し、この電流値およびこれら比率を調整することでベルジャー3内で発生したプラズマをヘリコン波伝搬によって引き出すと共に、反応容器4の側面に設置された永久磁石あるいは電磁石による磁場発生手段15による磁界との相互作用で基板5の近傍でのプラズマ均一性を調整するようになされている。この構成によるプラズマ処理装置1によれば、供給するガス種を適宜変更50 することによって成膜処理および酸化処理がなされる。

【0024】次に、上述したプラズマ処理装置1を用いて本発明製造方法を実施する実施形態の例を説明するが、本発明はこれに限定されるものではない。〔第1の実施形態〕この実施形態においては、アモルファス酸化タンタル膜を成膜するものであり、先ずRFパワーを200W以下として、ヘリコン伝搬を積極的に使用せずに、ラディカルを主体とした領域での成膜処理工程がなされる。次に、酸素ガス等の酸素を含む酸化性ガスをガス導入口7から供給し、この酸化性ガスを主体とし、RFパワーを500W～2000Wとするヘリコン伝搬を積極的に活用したイオンおよびラディカル混合高密度プラズマ雰囲気を生成し、この雰囲気下で、先に成膜したアモルファス酸化タンタル膜を、アモルファス状態を維持したまま酸化処理する。このようにして、成膜プロセスだけでは不十分であった膜質改善処理工程がなされる。

【0025】このとき、成膜処理工程におけるプラズマ電力、すなわちRFパワーは、200W以下とするときアモルファス膜の成膜、すなわち微細結晶をも発生することがない非晶質膜の成膜を行うことができた。そして、200Wを上回ると成膜中に微細結晶が発生し、完全なアモルファス膜が成膜しがたく、また40W未満では安定したプラズマ放電が得られず、安定した成膜ができないことが確認された。すなわち、成膜工程のプラズマ電力は40W以上200W以下に選定する。

【0026】図4は、そのRF電力の変化に対する各リーク電流密度を測定した結果を示すもので、これによれば、200W～40Wでリーク電流密度が低い成膜を得ることができることが分かる。

【0027】また、図5は、酸化プロセス、すなわち膜質改善処理におけるRF電力を変化させた場合の各リーク電流密度を測定した結果を示すもので、これによれば、500W未満では膜質改善効果が不十分である。また、2000Wを超えると、同様に、リーク電流密度が急激に増加する。これは膜を破壊、もしくは部分的に結晶化させることによるものである。したがって、この酸化プロセスによる膜質改善処理におけるRF電力は、500W以上2000W以下に選定する。

【0028】尚、この実施形態において、その成膜工程および膜質改善処理工程がなされる処理装置は、上述した装置に限定されるものではなく、例えば図6にその概略構成図を示すように、基板搬送室20に対して第1および第2のチャンパー21および22が設けられた構成を有し、搬送ロボット23によって、基板のカセットが配置されるロードロック室24から被成膜基板を第1のチャンパー21と第2の22でそれぞれ成膜処理と膜質改善処理の酸化処理とを別個に行うこともできる。

【0029】〔第2の実施形態〕この実施形態においては、前述した図1のフロー図で示すように、複数回の成膜処理と、各成膜処理後にそれぞれ膜質改善の酸化処理

を行うという繰り返し作業を行う。このようにすることによって時間的効率と十分にすぐれた膜質を得る。

【0030】すなわち、今、第1の実施形態における成膜すなわち酸化タンタル(Ta_2O_5)の成膜膜厚を変更し、また膜質改善処理の酸化処理時間をパラメータとした膜厚とリーク電流密度の測定結果を図7に示す。図7中、曲線71、72、73は、それぞれその処理時間を30秒、60秒、90秒とした場合である。

【0031】尚、図4、図5、図7におけるリーク電流密度とは、図8に示すように、印加電圧を上げて行ったときにリーク電流が急激に上昇するいわゆるプール・フレンケル(Pool Frenkel)電流領域に移行しはじめる点の電流密度である。

【0032】図7に示す測定結果によれば、リーク電流密度は、処理時間に依存するものの、膜厚が15nm以上となると、酸化時間に対するリーク電流密度の抑制効果率が低下する。そこで、この実施形態においては、15nm以上の膜厚の成膜を行う場合には、前述した図1のフロー図で示すように、15nm未満の成膜を複数回行い、各成膜処理後にそれぞれ膜質改善の酸化処理を行うという繰り返し作業を行なうものである。

【0033】例えば、15nm以上の成膜を行う場合には、15nm未満の成膜及び酸化処理を整数倍繰り返すことが効果的である。例えば、30nmの成膜を行う場合には、10nmの成膜と酸化処理を3サイクル繰り返し、全体として30nmの膜厚を得る。このようにすることによって、時間的効率と十分な膜質を得るものである。

【0034】上述した実施形態では、その成膜と膜質改善の酸化処理とをそれぞれ異なるチャンパーで行うことも可能であるが、この場合、異なるチャンパーに対し、基板5を搬入、搬出させる時間が、作業のロスタイムとなる。特に上述したように、膜厚15nm以上の成膜を行う場合には、繰り返しチャンパー間を行き来する作業が必要となることから、このロスタイムは顕著となり生産性の低下を来す。

【0035】〔第3の実施形態〕この実施形態においては、図2のフロー図で示したように、同一の反応容器内で成膜処理と酸化による膜質改善処理とを連続して実施する。このような実施形態は、ヘリコン波プラズマ等の高密度プラズマ発生源を用いる成膜と、膜質改善処理とを行うことによって成り立つ成膜プロセスである。

【0036】すなわち、例えば従前におけるように、シャワーヘッドを用いた平行平板型のプラズマCVD装置によるときは、発生できるプラズマの密度が低いことから、実用的な膜質およびプロセスを構築することは困難である。

【0037】具体的には、図9にフロー図を示すように、成膜終了までの段階は、前述の第1および第2の実施形態と同様に、成膜工程終了後、成膜残留雰囲気排出

および酸化条件を整えるステップを設けて次に酸化ステップすなわち O_2 プラズマ処理を行う。そして、この酸化が終了した段階で、目的とする成膜が15nm未満である場合は、アモルファス金属酸化膜、すなわちアモルファス酸化タンタル膜の成膜プロセスを完了するが、この完了にあたり、実際には、反応室内のガスパージを行い、その後、基板の取出しが行なわれる。

【0038】また、目的とする膜厚が15nm以上の場合、図9に示すように、前述した再度の成膜工程を行うために、その前に成膜条件を整えるための成膜条件準備工程が設けられ、次に成膜工程、更に成膜雰囲気排出および O_2 プラズマ処理による膜質改善処理工程の条件設定すなわち準備工程を経て O_2 プラズマ処理が行なわれ、この繰り返し作業を目的とする膜厚を得るまで繰り返し行い、その後、反応室内のガスパージを行い、その後、基板の取出しが行なわれる。

【0039】上述した各実施形態における全ての成膜工程および膜質改善処理工程は、430℃以下の領域で行う。因みに、430℃を超えると、膜質の低下を来すことを見出したことによる。すなわち、430℃を超える温度領域になると、熱反応による成膜反応が開始される温度帯となり、そこにプラズマエネルギーを加えることは過剰にエネルギーを投入することとなり、原材料の過

成膜条件：

ペンタエトキシタンタル分圧
酸素分圧
RF電力
温度

酸化条件：

酸素分圧
RF電力
温度

【0042】上述した本発明によれば、膜質にすぐれ、リーク電流特性にすぐれた、したがって信頼性の高いアモルファス金属酸化膜、例えばアモルファス酸化タンタル膜を十分薄く形成することができる。

【0043】そして、本発明による容量素子の製造方法においては、例えばMIM構造等における上下電極層間に介在させる誘電体絶縁層の成膜において、上述した本発明によるアモルファス金属酸化膜の製造方法と同一工程を適用するものである。

【0044】また、本発明による半導体装置の製造方法においては、その誘電体層、あるいは絶縁層、もしくは回路素子における容量素子を構成する場合において、上述した本発明によるアモルファス金属酸化膜の製造方法と同一工程を適用するものである。

【0045】図10は、本発明を適用する例えば半導体集積回路装置における1回路素子としてのMIM容量素子の一例の概略断面図を示す。この例では、半導体集積回路を構成する半導体基板50、例えばSi半導体基板

分解及び必要以上に反応が促進される事で、余剰反応物や不要な元素が膜中に取り込まれ安くなり、逆に膜質を劣化させてしまうためと考えられる。

【0040】本発明の一実施例におけるアモルファス金属酸化膜の成膜条件と、その後の膜質改善処理の酸化処理条件を例示する。

〔実施例〕

成膜条件：

ペンタエトキシタンタル分圧 1.7mTorr
酸素分圧 4.2mTorr
RF電力 100W
温度 300℃

酸化条件：

酸素分圧 8mTorr
RF電力 1500W
温度 300℃

【0041】そして、本発明方法によって得たアモルファス金属酸化膜の電気的特性は、図5、図6、図8に鎖線をもって示すように、リーク電流値が 1×10^{-8} [A/cm²] 程度以下であることが望ましい。このような電気的特性および膜厚の均一性が得られる成膜条件および酸化条件は、次のように選定される。

0.15~4.3mTorr
0.7~8.6mTorr
40~200W
100~430℃

5~15mTorr
500~2000W
100~430℃

の表面の、各回路素子間に局部的熱酸化膜いわゆるLOCOS(Local Oxidation of Silicon)による分離絶縁層51が形成され、その上には、例えば SiO_2 による層間絶縁層52が形成されている。

【0046】この層間絶縁層52上に、MIM容量素子を構成する下層電極層53が形成され、この上に、本発明によるアモルファス金属酸化膜による誘電体絶縁層54が形成され、この上に、下層金属電極層53と対向する部位に、上層金属電極層55が形成される。このようにして、下層金属電極層53と、上層金属電極層55との間に、静電容量が形成されるMIM容量素子56が構成される。

【0047】そして、全面的に、 SiO_2 等の絶縁層57が被覆され、この絶縁層57に、この容量素子56に対する両端子、すなわち下層金属電極層54および上層金属電極層55上に、コンタクト透孔58および59を穿設する。図においては、コンタクト透孔58が、下層金属電極層54に至るように、誘電体絶縁層53を貫通

して形成される。これら、コンタクト透孔58および59を通じて、例えば表面にTiNによる保護膜60が形成された例えばAl合金層による配線層59が所要のパターンに形成される。この容量素子は、他の回路素子の形成と平行して形成することができる。

【0048】このようにして製造した容量素子、半導体装置は、信頼性が高く、それぞれの電気的特性にすぐれた容量素子、半導体装置を得ることができた。

【0049】

【発明の効果】上述した本発明によるアモルファス金属酸化膜、例えばアモルファス酸化タンタル膜を有する容量素子、および半導体装置の各製造方法によれば、すべての処理を低温下、具体的には430℃以下で行うことができるものであり、これによって例えば下層電極、配線等における導電層として加工性にすぐれ、低抵抗率の低融点金属層の使用が可能となる。

【0050】したがって、材料選定の自由度が高まり、低廉で、加工性にすぐれたしたがって、微細パターン化が可能で、また低抵抗率であるAl、Cuをはじめとする金属、WN、TiN等を下層電極、配線等に用いることができる。また、すぐれた特性を有する信頼性の高いアモルファス金属酸化膜、例えばアモルファス酸化タンタルを誘電性絶縁層として形成でき、十分薄い誘電性絶縁層の形成が可能となること、更に上述した電極、配線層として加工性にすぐれた金属層を用いることができることが相俟って、より容量素子の微細化が可能となる。これによって、例えば半導体集積回路装置における回路素子の高密度化を図ることができ、またMIM構造化を可能にすることによって高速化を図ることができる。

【0051】また、成膜工程と、膜質改善処理工程とを同一反応容器によって構成することができることにより、装置の簡易化、取り扱いの簡便化、作業性の向上、信頼性の向上、生産性の向上が図られ、製造コストの低減化を図ることができるなど工業的に多くの利益をもたらすものである。

【図面の簡単な説明】

【図1】本発明製造方法の説明に供するアモルファス酸化タンタル薄膜の成膜方法の一例のフロー図である。

【図2】本発明製造方法の説明に供するアモルファス酸

化タンタル薄膜の成膜方法の他の一例のフロー図である。

【図3】本発明製造方法に用いるヘリコン波プラズマ装置の概略構成図である。

【図4】本発明製造方法の説明に供するリーク電力密度のRF電力依存性を示す図である。

【図5】本発明製造方法の説明に供するリーク電力密度のRF電力依存性を示す図である。

【図6】枚葉式成膜装置の一例の概略構成図である。

【図7】本発明の説明に供する酸化時間を変化させたときのリーク電流密度のタンタル膜厚依存性の測定結果を示す図である。

【図8】リーク電流密度の定義の説明に供する印加電界に対するリーク電流密度の特性を示す図である。

【図9】本発明製造方法におけるアモルファス酸化タンタル薄膜の成膜方法の一例のフロー図である。

【図10】本発明製造方法によって得る容量素子を有する半導体装置の一例の概略断面図である。

【図11】従来方法のフロー図である。

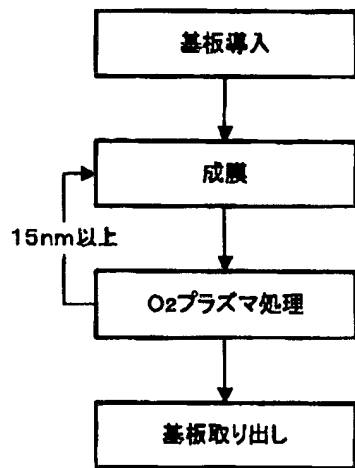
【図12】一般的なマルチチャンバーCVD装置の概略構成図である。

【図13】従来方法のフロー図である。

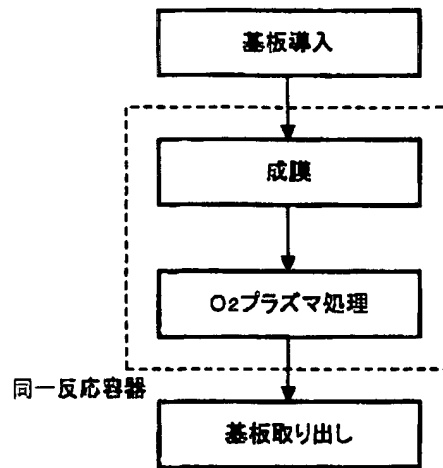
【符号の説明】

1・・・プラズマ処理装置、2・・・プラズマ発生源、3・・・ベルジャー、4・・・反応容器、5・・・基板、6・・・サセプタ、7・・・ガス導入口、8・・・排気口、9・・・ヘリコンアンテナ、10・・・高周波発信器、11・・・インピーダンス整合手段、12A・・・内側コイル、12B・・・外側コイル、13A、13B・・・DC電源、14A、14B・・・電流制限手段、15・・・磁場発生手段、20、100・・・基板搬送室、21・・・第1のチャンバー、22・・・第2のチャンバー、23、103・・・搬送ロボット、24、102・・・ロードロック室、101a～101d・・・チャンバー、50・・・半導体基板、51・・・分離絶縁層、52・・・層間絶縁層、53・・・下層金属電極層、54・・・誘電体絶縁層、55・・・上層金属電極層、56・・・MIM容量素子、57・・・絶縁層、58・・・コンタクト透孔、59・・・金属配線層、60・・・保護膜

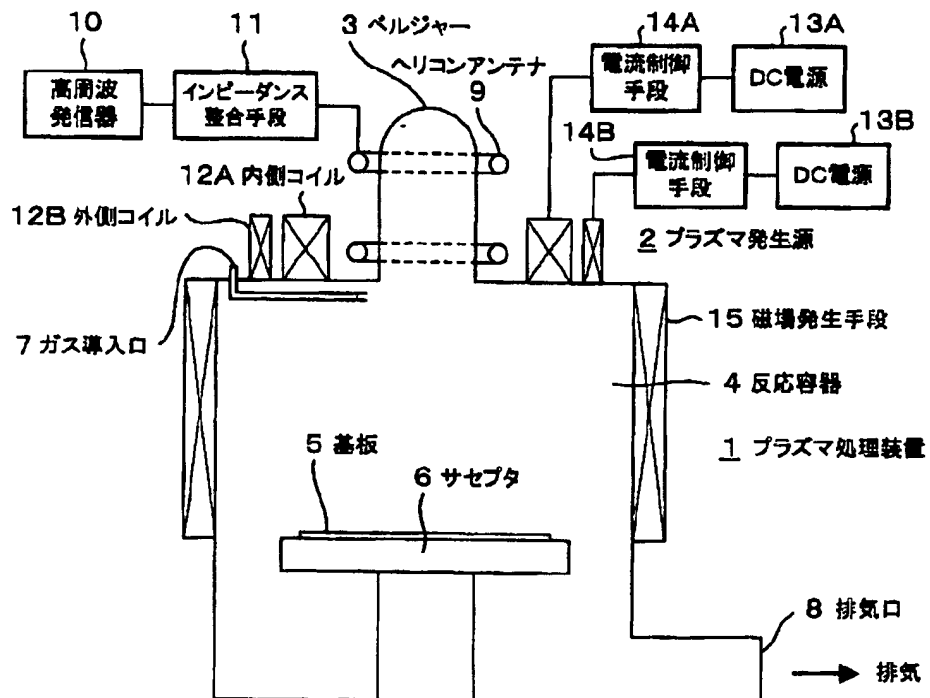
【図1】



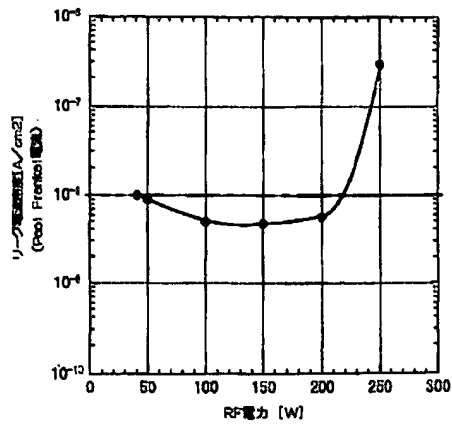
【図2】



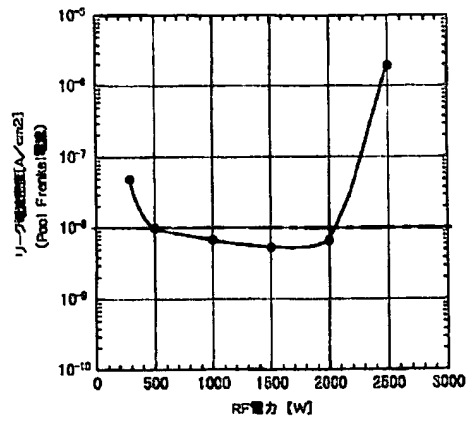
【図3】



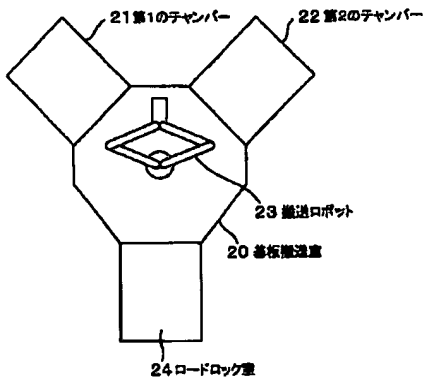
【図4】



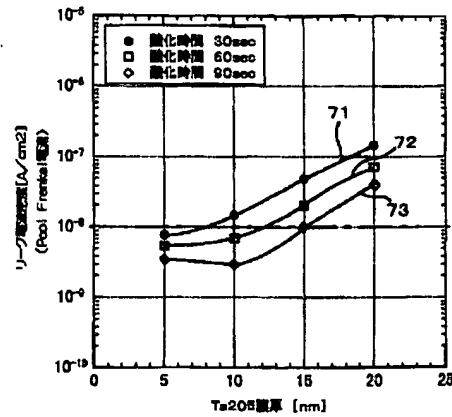
【図5】



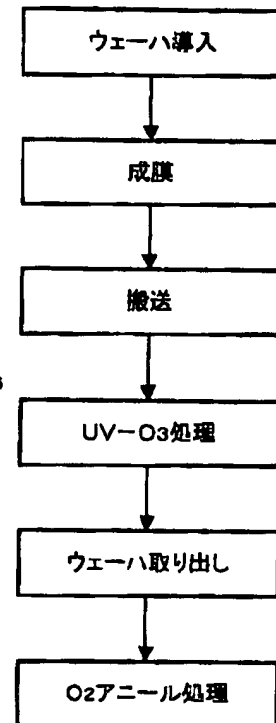
【図6】



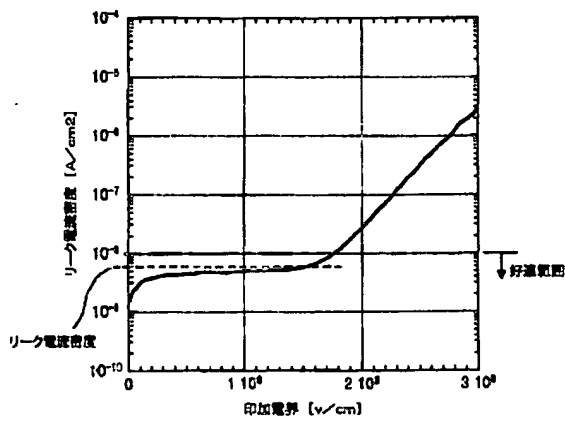
【図7】



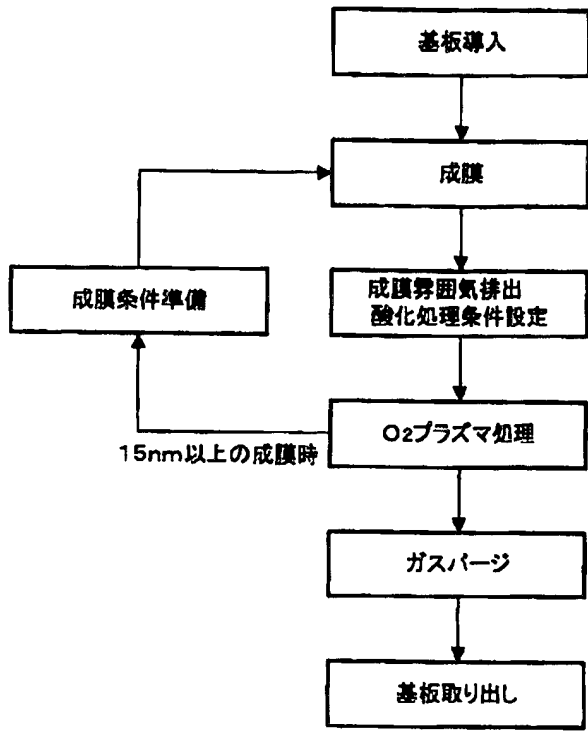
【図11】



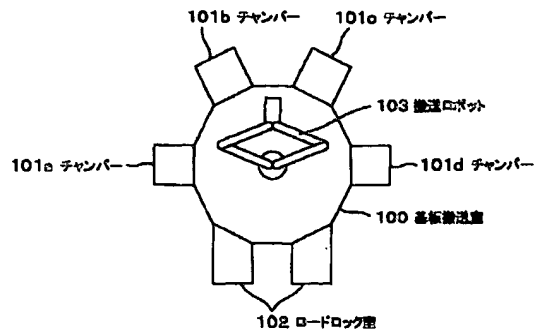
【図8】



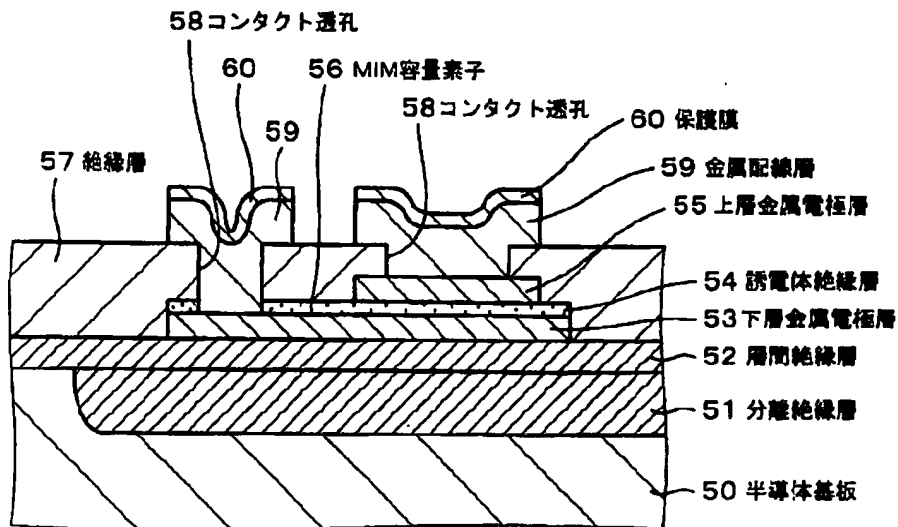
【図9】



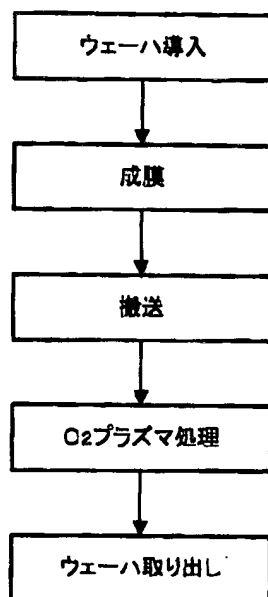
【図12】



【図10】



【図 13】



フロントページの続き

(72)発明者 幸本 徹哉
東京都大田区南六郷3丁目19番2号 株式
会社シー・ヴィ・リサーチ内

Fターム(参考) 5F038 AC02 AC05 AC16 AC18 CD18
EZ11 EZ17 EZ20
5F058 BA11 BC03 BC20 BF07 BF27
BF29 BF39 BF80 BH01 BH03
BH16